

日 本 国 特 許 庁
JAPAN PATENT OFFICE

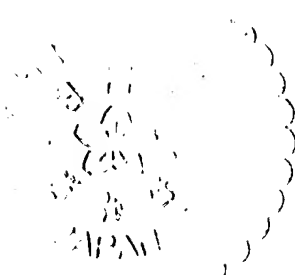
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 1 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 3 9 7 3 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 3 9 7 3 0]

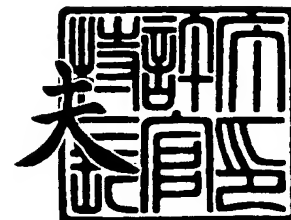
出 願 人 沖 電 気 工 業 株 式 会 社
Applicant(s):



2 0 0 3 年 8 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 SU000330

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 23/12

【発明者】

 【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

 【氏名】 丸子 亜登

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100068928

 【弁理士】

 【氏名又は名称】 鈴木 敏明

【手数料の表示】

 【予納台帳番号】 004994

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体パッケージ

【特許請求の範囲】

【請求項 1】 基板との接続面に、前記基板と接続される複数の接続端子と複数の試験用端子とを備えた半導体パッケージであって、

前記接続端子を所定ピッチで格子状に配列した第 1 エリアと、前記試験用端子を前記所定ピッチより狭いピッチで格子状に配列した第 2 エリアを配置したことを特徴とする半導体パッケージ。

【請求項 2】 前記第 2 エリアは前記接続面の中央部に配置され、前記第 1 エリアは前記第 2 エリアの周囲を囲むように前記接続面の周辺部に配置されたことを特徴とする請求項 1 記載の半導体パッケージ。

【請求項 3】 前記第 2 エリアは前記接続面の周辺部に配置され、前記第 1 エリアは前記第 2 エリアを囲むように配置されたことを特徴とする請求項 1 記載の半導体パッケージ。

【請求項 4】 前記第 2 エリアは搭載する発熱性の高い回路のレイアウト上に配置されることを特徴とする請求項 3 記載の半導体パッケージ。

【請求項 5】 前記第 1 エリアは複数箇所に形成され、前記第 2 エリアは前記複数箇所に形成された第 1 エリアの各々を隔絶するように配置されることを特徴とする請求項 1 記載の半導体パッケージ。

【請求項 6】 前記第 2 エリアの試験用端子は、グランド実装されることを特徴とする請求項 5 記載の半導体パッケージ。

【請求項 7】 前記第 2 エリアは前記接続面の四隅に配置され、前記第 1 エリアは前記四隅を除く領域に配置されたことを特徴とする請求項 1 記載の半導体パッケージ。

【請求項 8】 前記接続端子及び試験用端子を半田ボールで形成したことを特徴とする請求項 1 ～ 7 のいずれかに記載の半導体パッケージ。

【請求項 9】 前記接続端子及び試験用端子をランドで形成したことを特徴とする請求項 1 ～ 7 のいずれかに記載の半導体パッケージ。

【請求項 10】 基板と接続される複数の接続用リードと、複数の試験用リ

ードとを備えたリード型の半導体パッケージであって、

前記接続用リードを所定ピッチで配置し、前記試験用リードを前記所定ピッチより狭いピッチで配列したことを特徴とする半導体パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はLSI等の半導体チップを搭載する半導体パッケージに関するものである。

【0002】

【従来の技術】

【特許文献1】 特開2000-068403号公報

【特許文献2】 USP 6, 194, 782号公報

一般に半田ボールを有する半導体パッケージとしては、BGA（ボールグリッドアレイ）、WCSP（ウエハレベルチップサイズパッケージ）などがある。

図8はこのような従来のパッケージの底面図である。

パッケージ1の底面2には、必要な端子を形成するだけの数の半田ボール3が等ピッチで配列されている。図の例では64端子が形成されている。

【0003】

一方、特許文献1は、放熱用半田バンプを接続用半田バンプより狭いピッチで形成し、基板への接合のための熱処理の際に、すべての放熱用半田バンプが一体の接合層を形成するように設定することを開示している。

特許文献2は、図5において、ダイの直下には配置されていない半田ボール24より、半田ボール40が互いに近接して配置されることを開示している。

【0004】

【発明が解決しようとする課題】

しかしながら、市場は、端子のピッチ間隔は大きく、パッケージのサイズは小さくという相反するものを要求している。

パッケージサイズを変えずに、ピッチを大きくすると端子数が不足となり、LSI等に必要な端子を確保できないケースが発生する。

例えば、一辺が6.4mmの正方形のパッケージに対し、ユーザが要求する所定ピッチが0.8mmで、必要端子数（電源端子、グランド端子、試験用端子を含む）が95の場合、図8の従来技術では64端子しか確保できず、要求を満たすことができない。

【0005】

一方、特許文献1及び2は、端子ピッチの狭い領域と端子ピッチの広い領域とが設けられているが、放熱や熱管理のために狭いピッチの端子を利用するものであって、パッケージのサイズを大きくせずに端子数を増加させるという課題は全く記載されていない。そのため、通常は基板と接続する必要がない試験用端子を狭いピッチで配列することは全く記載されていない。

【0006】

【課題を解決するための手段】

上記した課題を解決するため、本発明は、基板との接続面に、基板と接続される複数の接続端子と、複数の試験用端子とを備えた半導体パッケージであって、接続端子を所定ピッチで格子状に配列した第1エリアと、試験用端子を所定ピッチより狭いピッチで格子状に配列した第2エリアを配置したものである。

【0007】

また、本発明は、基板と接続される複数の接続用リードと、複数の試験用リードとを備えたりード型の半導体パッケージであって、接続用リードを所定ピッチで配列し、試験用リードを所定ピッチより狭いピッチで配列したものである。

【0008】

【発明の実施の形態】

図1は本発明の第1の実施形態を示す底面図である。

パッケージ11の底面即ち基板との接続面12には、半田ボール13が格子状に配列されている。

半田ボール13で形成された複数の接続端子14は、ユーザが要求する所定ピッチで、接続面12の周辺部に格子状に配列される。

同様に半田ボール13で形成された複数の試験用端子15は、接続端子14の所定ピッチより狭いピッチで、接続面12の中央部に格子状に配列され、接続端

子 14 に囲まれるように配置される。

【0009】

接続端子 14 は、パッケージ 11 が印刷配線板等の基板に実装される際に、基板の端子に接続されるが、試験用端子 15 は、通常は基板と接続する必要がなく、メーカーが出荷前に性能試験を行うためのもので、ユーザは使用しない端子である。

【0010】

例えば、パッケージ 11 の一辺が 6.4 mm の正方形で、周辺部の接続端子 14 を 0.8 mm ピッチとし、中央部の試験用端子 15 を半分の 0.4 mm ピッチとすると、接続端子 14 は 48 端子、試験用端子 15 は 49 端子となり、合計 97 端子を構成することができる。

従って、ユーザが 95 端子必要とする場合にも要求を達成することができる。

【0011】

図 2 は所定ピッチエリアと狭ピッチエリアを説明する図である。

上記したように、接続端子 14 は所定ピッチで接続面 12 の周辺部に配列されているが、その領域を第 1 エリアである所定ピッチエリア 16 と称する。

また、試験用端子 15 は所定ピッチより狭いピッチで接続面 12 の中央部に配列されているが、その領域を第 2 エリアである狭ピッチエリア 17 と称する。

従って、狭ピッチエリア 17 は接続面 12 の中央部に配置され、所定ピッチエリア 16 は狭ピッチエリア 17 を囲むように接続面 12 の周辺部に配置されることになる。

【0012】

狭ピッチエリア 17 においては、試験用端子 15 が隣接端子同士でショートしても良い仕様にしておくと、ユーザがパッケージ 11 を基板に実装する時に、実装技術が 0.8 mm であっても、パッケージ 11 は実装可能となる。

試験用端子 15 はメーカーが出荷前のテストをするためのものであるから、実装段階においてはテストは完了しているので、ショートしても良いように仕様を定めても何ら問題はない。

【0013】

以上のように第1の実施形態によれば、基板と接続される接続端子を所定ピッチで配列し、通常は基板と接続する必要がなく、メーカーが性能試験を行うための試験用端子を所定ピッチより狭いピッチで配列するので、同サイズのパッケージでも端子数を増やすことができる。

また、同じ端子数の場合にはパッケージのサイズを小さくすることができる。

また、狭ピッチエリアの試験用端子は、パッケージを基板に実装する際に隣接端子同士がショートしても良い仕様にすることができるので、基板実装にも問題を及ぼすことはない。

【0014】

図3は本発明の第2の実施形態を示す底面図である。

第1の実施形態とは、所定ピッチエリア26、狭ピッチエリア27の配置が異なるだけで、端子数を含めて他は同じである。

第2の実施形態では、狭ピッチエリア27はパッケージ21の接続面22の周辺部に配置され、所定ピッチエリア26は狭ピッチエリア27を囲むようにL字型に配置される。

なお、狭ピッチエリア27を隅でなく、辺の中央部等に配置し、これを囲むように所定ピッチエリア26をコ字型に配置しても良い。

【0015】

図4は第2の実施形態をWCSPに適用した例を示す図で、(a)は底面図、(b)はA-A断面図である。

パッケージ21に搭載されるLSI28の中の発熱性の高い回路、例えばアナログ回路、ドライバ回路等の発熱性回路29のレイアウト上に、狭ピッチエリア27を配置している。

【0016】

このように構成すると、狭ピッチエリア27の試験用端子25は通常は基板に接続されないが、試験は出荷前にメーカーで完了しているので、この場合は、ユーザが全試験用端子25を基板のベタグランド端子と接続してパッケージ21を基板に実装すると、発熱性回路29の発熱を狭ピッチエリア27から放熱できるので、LSI28の発熱を低減させることができる。

なお、全試験用端子とは実質的に全ての試験用端子を意味し、例えば、1端子がグラウンド、電源、オープンいずれかであるからと言っても排除されるものではない。以下同じである。

【0017】

以上のように第2の実施形態によれば、第1の実施形態の効果に加えて、狭ピッチエリアの全試験用端子を基板にグラウンド実装した場合には、実装後のパッケージの放熱性が向上する効果がある。

【0018】

図5は本発明の第3の実施形態を示す底面図である。

第1の実施形態とは、第1の所定ピッチエリア361、第2の所定ピッチエリア362、狭ピッチエリア37の配置が異なるだけで、端子数を含めて他は同じである。

第3の実施形態では、所定ピッチエリアを2箇所形成しているが、端子数は第1の実施形態と同じである。

【0019】

第1の所定ピッチエリア361はパッケージ31の接続面32の周辺部に配置される。

狭ピッチエリア37は第1の所定ピッチエリア361を囲むようにL字型に配置される。

第2の所定ピッチエリア362は狭ピッチエリア37を囲むようにL字型に配置され、狭ピッチエリア37により第1の所定ピッチエリア361から隔絶される。

なお、第1の所定ピッチエリア361を隅でなく、辺の中央部等に配置し、これを囲むように狭ピッチエリア37をコ字型に、更に狭ピッチエリア37を囲むように第2の所定ピッチエリア362をコ字型に配置しても良い。

【0020】

このように構成したパッケージ31を基板に実装する際、狭ピッチエリア37の通常は基板に接続されない全試験用端子をグラウンド実装すると、第1の所定ピッチエリア361と第2の所定ピッチエリア362との間にグラウンドシールドが

形成される。

例えば、アナログ回路とデジタル回路が混在して構成されているLSIの場合に、第1の所定ピッチエリア361をロジック等のディジタル信号端子に、第2の所定ピッチエリア362をアナログ信号端子に使用することにより、ノイズに対する耐性が向上することが期待できる。

【0021】

以上のように第3の実施形態によれば、第1の実施形態の効果に加えて、狭ピッチエリアの通常は基板に接続されない全試験用端子を基板にグランド実装した場合には、第1の所定ピッチエリアと第2の所定ピッチエリア間にグランドシールドを形成することができ、ノイズ耐性の向上が期待できる。

【0022】

図6は本発明の第4の実施形態を示す底面図である。

第1の実施形態とは、所定ピッチエリア46、狭ピッチエリア47の配置が異なるだけで、端子数を除けば他は同じである。

第4の実施形態では、狭ピッチエリア47を4箇所に形成しているが、試験用端子の数の合計は第1の実施形態とほぼ同じで、4分割できるように48端子になる。

狭ピッチエリア47はパッケージ41の接続面42の四隅に配置され、所定ピッチエリア46は接続面42の四隅を除く領域に十字状に配置される。

【0023】

このように構成したパッケージ41を基板に実装する際、狭ピッチエリア47の通常は基板に接続されない全試験用端子を基板にグランド実装すると、接続面42の四隅では実装端子数が従来に比して増加する。

【0024】

以上のように第4の実施形態によれば、第1の実施形態の効果に加えて、パッケージの四隅の狭ピッチエリアの全試験用端子を基板にグランド実装した場合には、四隅の実装端子数が増加するので、基板の反りやLSIの反りに強くなり、パッケージの実装の信頼性向上を図ることができる。

【0025】

なお、第1～第4の実施形態では、接続端子及び試験用端子を半田ボールで形成した例で説明したが、本発明はLGA（ランドグリップアレイ）のようにこれらの端子をランドで形成したパッケージにも適用することができる。

【0026】

図7は本発明の第5の実施形態を示す平面図である。

第5の実施形態は例えばQFP（クアッドフラットパッケージ）、SOJ（モールドアウトラインJリーデッドパッケージ）、DIP（デュアルインラインパッケージ）等のリード型の半導体パッケージに適用したもので、上記した実施形態で説明した接続端子は接続リード54、試験用端子は試験用リード55で形成される。

【0027】

図7はQFPの例を示しており、パッケージ51の側面に複数の接続リード54と、接続リード54に挟まれるようにして四辺の中央部に複数の試験用リード55が設けられている。

接続リード54は所定ピッチで配列されており、試験用リード55は所定ピッチより狭いピッチ例えば1/2のピッチで配列され、搭載される試験用リード55の数を増加させている。

なお、試験用リード55は四辺の中央部でなく、端部に配置しても良く、配置位置はLSIの設計時に適宜選択される。

【0028】

以上のように第5の実施形態によれば、リード型の半導体パッケージであっても、第1の実施形態と同等の効果を有する。

【0029】

【発明の効果】

上記したように、本発明によれば、接続端子を所定ピッチで配列し、試験用端子を所定ピッチより狭いピッチで配列するので、同じサイズのパッケージでも端子数を増加させることができる。

【図面の簡単な説明】

【図1】

本発明の第 1 の実施形態を示す底面図

【図 2】

狭ピッチエリアを説明する図

【図 3】

本発明の第 2 の実施形態を示す底面図

【図 4】

第 2 の実施形態の適用例を示す図

【図 5】

本発明の第 3 の実施形態を示す底面図

【図 6】

本発明の第 4 の実施形態を示す底面図

【図 7】

本発明の第 5 の実施形態を示す平面図

【図 8】

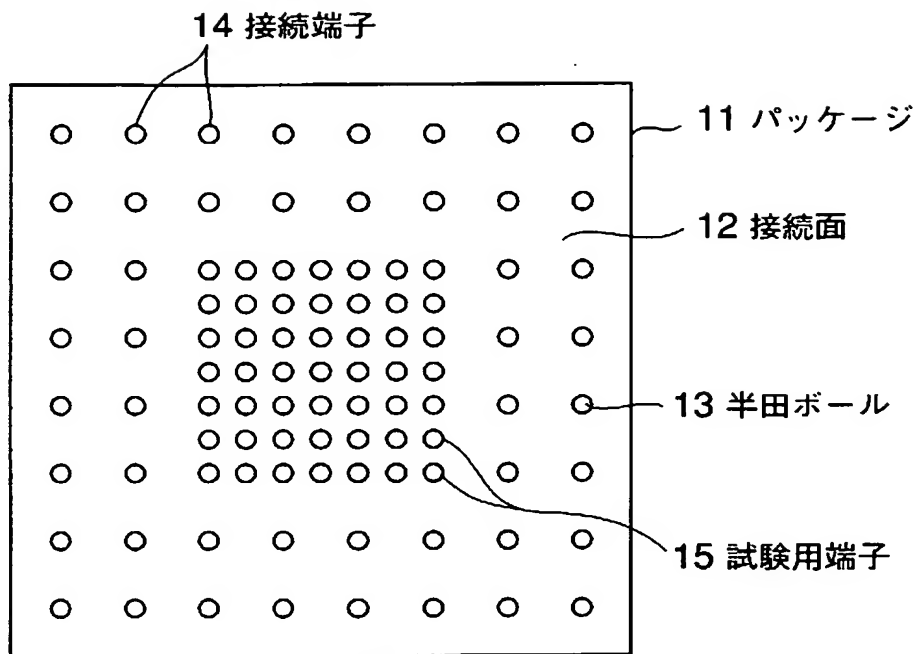
従来のパッケージの底面図

【符号の説明】

| | |
|--------------------|---------------|
| 11, 21, 31, 41, 51 | パッケージ |
| 12, 22, 32, 42 | 接続面 |
| 13 | 半田ボール |
| 14, 24 | 接続端子 |
| 15, 25 | 試験用端子 |
| 16, 26, 46 | 所定ピッチエリア |
| 17, 27, 37, 47 | 狭ピッチエリア |
| 28 | L S I |
| 29 | 発熱性回路 |
| 361 | 第 1 の所定ピッチエリア |
| 362 | 第 2 の所定ピッチエリア |
| 54 | 接続リード |
| 55 | 試験用リード |

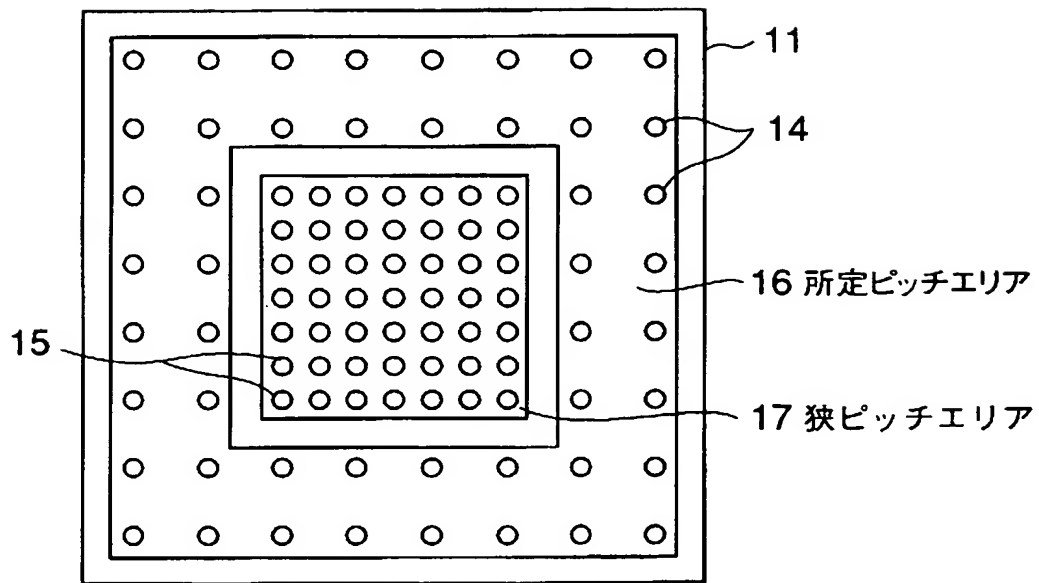
【書類名】 図面

【図 1】



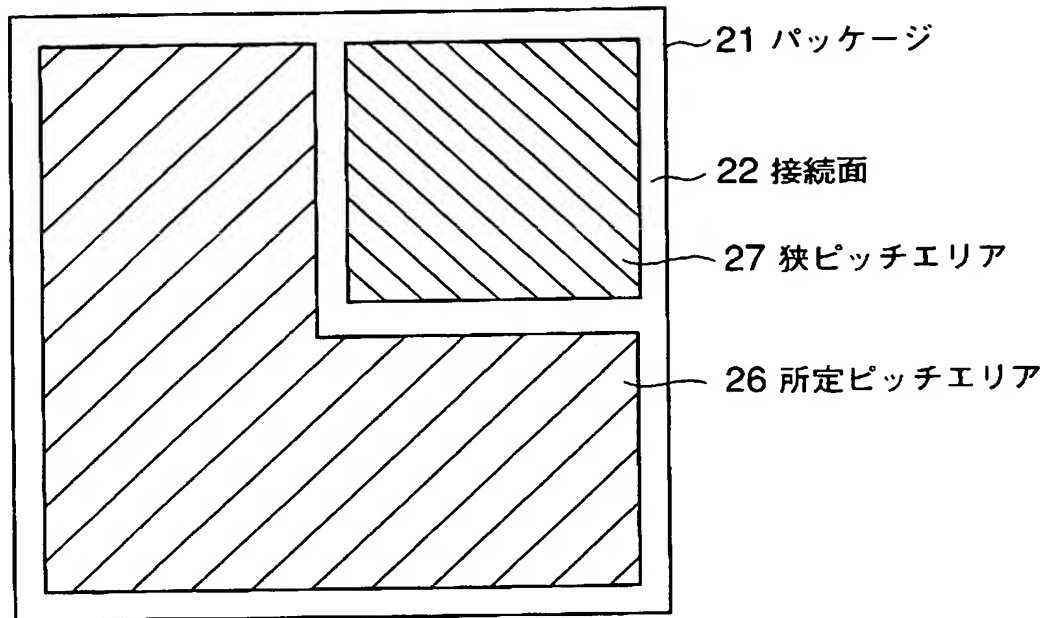
本発明の第1の実施形態を示す底面図

【図 2】



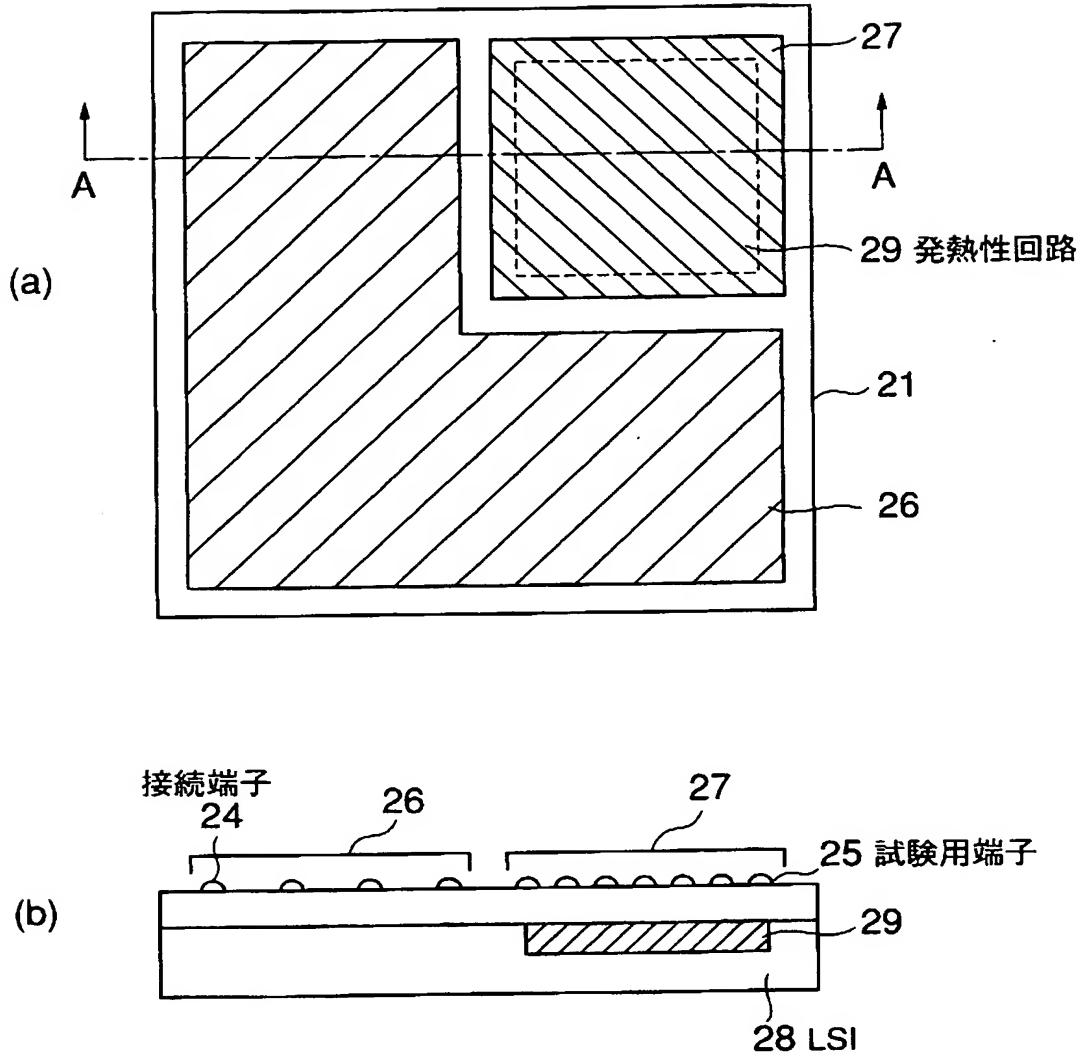
狭ピッチエリアを説明する図

【図 3】



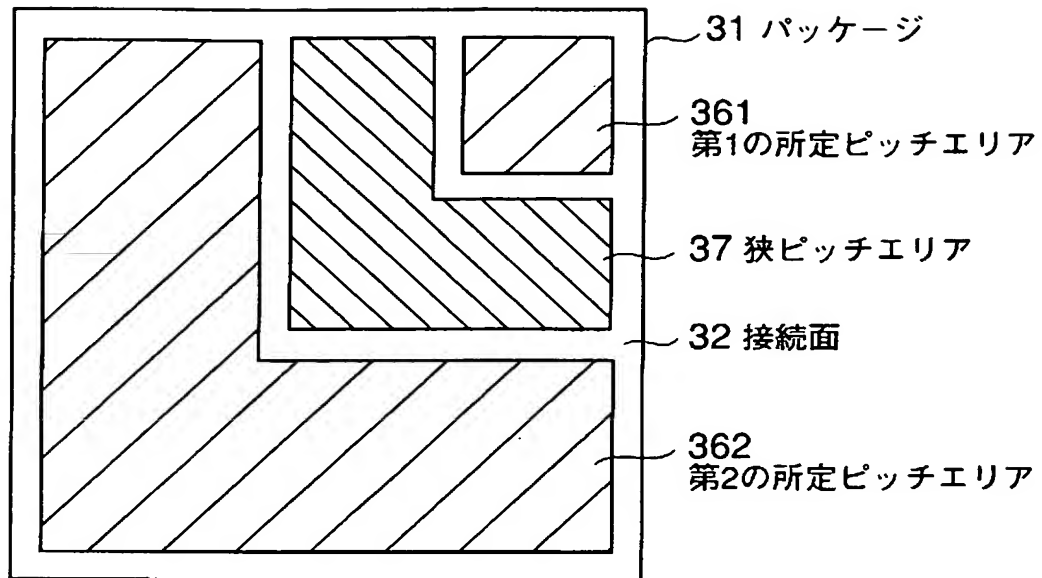
本発明の第2の実施形態を示す底面図

【図 4】



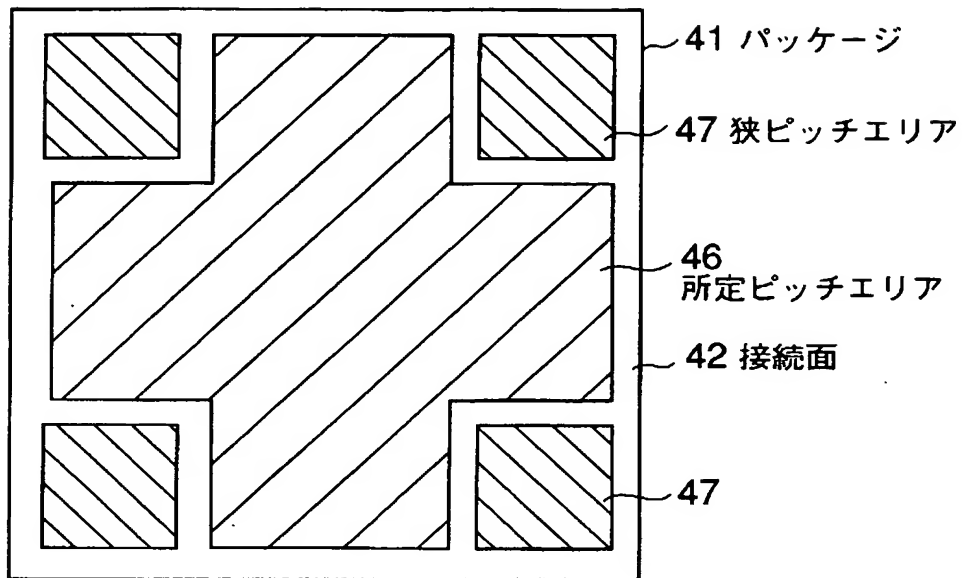
第2の実施形態の適用例を示す図

【図 5】



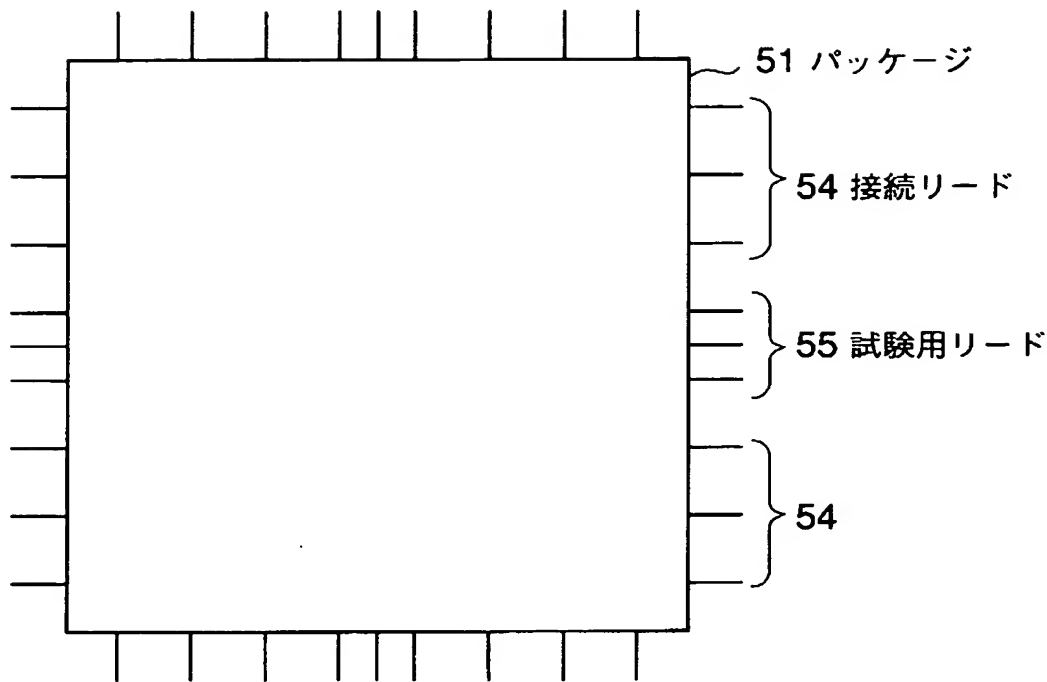
本発明の第3の実施形態を示す底面図

【図 6】



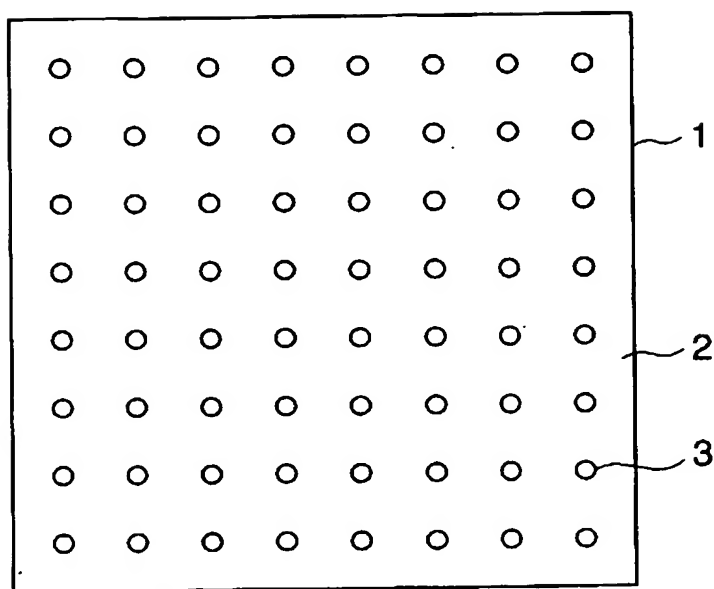
本発明の第4の実施形態を示す底面図

【図 7】



本発明の第5の実施形態を示す平面図

【図 8】



従来のパッケージの底面図

【書類名】 要約書

【要約】

【課題】 端子のピッチ間隔は大きく、パッケージのサイズは小さくという市場の要求があり、パッケージサイズを変えずに、ピッチを大きくすると端子数が不足する。

【解決手段】 基板との接続面 12 に、基板と接続される複数の接続端子 14 と、通常は基板と接続する必要がなく、メーカーが性能試験を行うための複数の試験用端子 15 とを備えた半導体パッケージ 11 であって、接続用端子 14 を所定ピッチで格子状に配列した所定ピッチエリア 16 と、試験用端子 15 を所定ピッチより狭いピッチで格子状に配列した狭ピッチエリア 17 を配置したことを特徴とする。

【選択図】 図 2

認定・付加情報

| | |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 3 - 1 3 9 7 3 0 |
| 受付番号 | 5 0 3 0 0 8 2 2 3 1 1 |
| 書類名 | 特許願 |
| 担当官 | 第五担当上席 0 0 9 4 |
| 作成日 | 平成 1 5 年 5 月 2 0 日 |

< 認定情報・付加情報 >

| | |
|-------|-------------|
| 【提出日】 | 平成15年 5月19日 |
|-------|-------------|

次頁無

特願 2 0 0 3 - 1 3 9 7 3 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 2 日
新規登録

住 所
氏 名

東京都港区虎ノ門1丁目7番12号
沖電気工業株式会社